



十位元每秒取樣五百萬次 逐漸逼近式類比數位轉換器之實現

組員:許方維、吳睿宸、徐祐晨

指導教授:吳建華教授

摘要

本專題聚焦於實現工作電壓為1V，取樣頻率5MS/s的10位元連續漸進式類比數位轉換器(Successive-approximation Analog-to-Digital Converter, SAR ADC)，使用的製程為TSMC T18 CMOS。SAR ADC 架構因其在中等解析度、速度和低功耗之間取得了出色的平衡，已成為低功耗應用的首選。相較於流水線型和快閃型ADC，SAR ADC 的取樣率雖然較低，但簡單的二進位搜尋演算法和較少的類比電路，使功耗顯著降低。這種高效能功耗特性使其在需要大量 ADC 的系統中極具優勢。

SAR ADC 整體架構圖

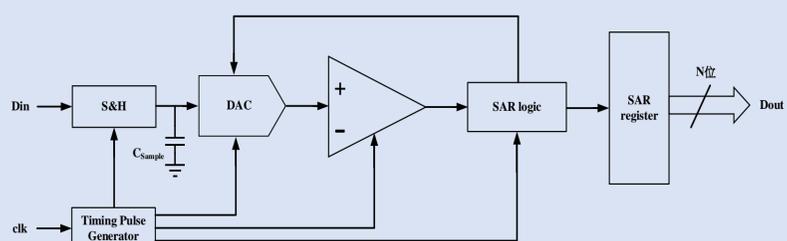


圖1 SAR ADC 整體架構圖

該架構由六大子電路組成，分別是時脈產生器、軌帶式開關、數位類比轉換器、動態比較器、逐漸逼近式邏輯控制電路以及逐漸逼近式暫存器。

實驗結果

設計出核心電路面積為 $368.585 \times 367.05 \mu\text{m}^2$ ，校正後的SNDR為51.10 dB，ENOB為8.20 bit的SAR ADC。

電容陣列切換策略

此單調切換策略與傳統的試錯法不同，該方法摒棄了初始猜測的步驟，而是直接根據比較結果對電容陣列進行置位，減少了前幾次比較週期造成的能量消耗。以圖3為例，本專題採用VDD為1V、Vref_p為0.8V、Vref_n為0.2V，利用電荷重新分配原理，搭配SAR控制邏輯切換電容下極版之電壓，逐步逼近取樣訊號。

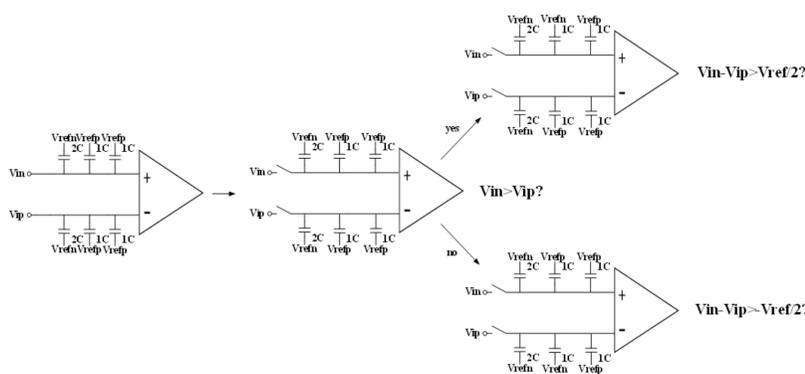


圖2 切換策略

$$V_{out} = 0.2 + (0.8 - 0.2) \sum_{k=0}^9 D_{9-k} \frac{1}{2^{k+1}}$$

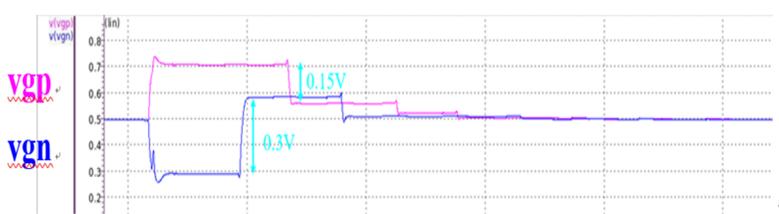


圖3 DAC轉換波形

參考電壓校正法

DAC的輸出結果會因寄生效應而影響每個位元的權重，透過調整參考電壓的方式降低此影響，提高線性度。

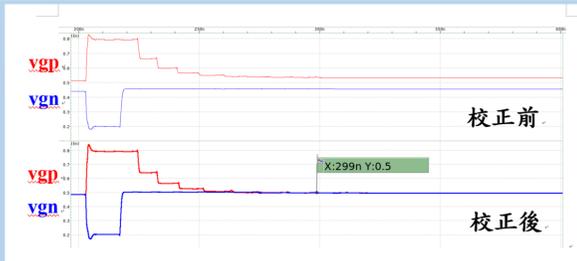


圖4 校正前後DAC轉換圖形對比圖

結論與未來展望

於SAR Logic電路做電容切換策略的邏輯調整，此策略可以維持共模電壓來提高位元轉換的線性度。未來計畫測量電路功耗與靜態參數，並藉由提升開關帶寬、校正時序和減少通道電荷效應的方式，提高電路的SNDR以及ENOB。

Specifications	NORCAS'15 [2]	This Work
Technology (nm)	90	180
Resolution (bits)	10	10
Core Area (mm ²)	0.4	0.135
Supply Voltage (V)	1.8	1
Sampling Rate (Ms/s)	50	5
ENOB (bit)	7.2	8.20
SNDR (dB)	45	51.10
SFDR (dB)	58.4	54.55

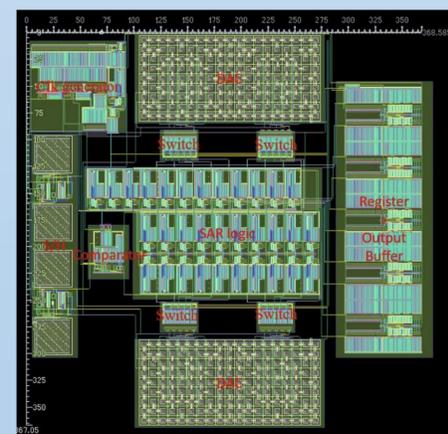


圖6 SAR ADC核心電路佈局圖

參考文獻

- [1] D. S. Marathe and U. P. Khot, "A 10-Bit 10-Ms/S 5.72 nW Mixed SAR Logic for ADC Used in Wireless Sensor Node," ICNTE, Jan. 2019.
- [2] A. Elkafray, J. Anders and M. Ortmanns, "A 10-bit reference free current mode SAR ADC with 58.4 dB SFDR at 50 MS/s in 90 nm CMOS," in Nordic Circuits and Systems Conf. (NORCAS), pp. 1-4, Oct. 2015.

SAR logic 電路架構

本專題使用的逐漸逼近式邏輯控制電路(SAR logic)如圖5所示。此邏輯控制電路是以[1]的同步SAR邏輯為基礎做改動。其中Outp/Outn為比較器比較結果，Reset為重製訊號，clk_SAR為時脈產生器所產生的SAR邏輯時脈。

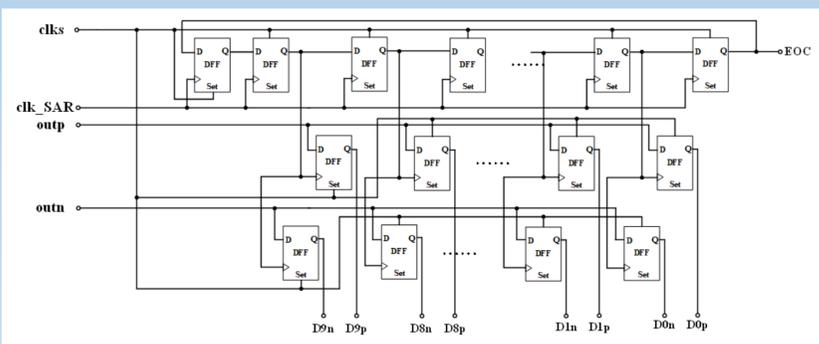


圖5 控制邏輯電路圖